

(3) Japanese Patent Laid-Open Publication No. Hei 5-257164

[0028] Fig. 1 is a plan view showing one pixel of an active matrix substrate according to the present embodiment. Fig. 2 is a cross-sectional view taken along line A-A' in Fig. 1. Structure of this active matrix substrate is described below following its manufacturing steps.

[0029] First, a semiconductor layer 30 made of polycrystal Si is formed in patterns by a CVD method, for example, on an insulating substrate 11. An insulation film serving as a gate insulation film 13 is then formed over the entire surface of the insulating substrate 11. This insulation film may be formed by, for example, a CVD method, a sputtering method, or by heat-oxidizing the upper surface of the polycrystal Si thin film 30. The thickness of the gate insulation film 13 may be approximately 100nm. The thickness of the semiconductor layer 30 may be approximately 40-80nm.

[0030] Subsequently, low-resistance polycrystal Si is deposited and patterned to form gate bus wiring 1, gate electrodes 3a, 3b, and common additional capacitance wiring 8. The common additional capacitance wiring 8 includes a common additional capacitance electrode 6 that defines a protrusion as shown in Fig. 1. Using the gate electrodes 3a, 3b as masks and employing additional masks formed by a photolithographic method, ion implantation is performed in portions of the semiconductor layer 30 other than regions under the gate electrodes. Channel regions 12a, 12b are thereby formed in the semiconductor layer 30.

[0031] A first interlayer insulation film 14 is next formed over the entire substrate at a thickness of, for example, 700nm. Contact holes 7a, 7b, and 7c are then formed at predetermined locations in the first interlayer insulation film 14. The contact holes 7a, 7b, and 7c are positioned above a source electrode 23, a drain electrode 24, and the common additional capacitance wiring 8, respectively.

[0032] Subsequently, source bus wiring 2 and metal regions 10a, 10b, 10c are simultaneously formed using a low-resistance metal such as Al. The metal regions 10a, 10b, 10c are formed filling the contact holes 7a, 7b, and 7c, respectively, so as to connect to the source electrode 23, the drain electrode 24, and the common additional capacitance wiring 8. The metal regions 10a, 10b, 10c protruding upward from the first interlayer insulation film 14 have a thickness of, for example, 600nm. The metal region 10a is a portion branched from the source bus wiring 2. The source bus wiring 2 is connected to the source electrode 23 via the metal region 10a and the contact hole 7a.

[0033] A second interlayer insulation film 17 is next formed over the entire substrate by, for example, a CVD method at a thickness of 600nm. Contact holes 9b, 9c, are then

formed in the second interlayer insulation film 17. The contact hole 9b is provided for connecting the drain electrode. The contact hole 9c serves to electrically connect between a light-shielding film 15 and the common additional capacitance wiring 8.

[0034] The light-shielding film 15 is subsequently formed in patterns covering the TFT 25 and filling the contact holes 9b, 9c. The light-shielding film 15 may be composed using a metal such as Ti-W alloy at a thickness of 120-150nm, for example. Although the light-shielding film 15 is not provided in regions around the contact hole 9b, no light leaks from this portion because the metal region 10b is formed in this portion. The light-shielding film 15 may be composed using a metal other than the above-referenced Ti-W alloy, such as W, Ti, and Mo. The light-shielding film 15 located directly above the contact hole 9b serves to provide ohmic contact between the drain electrode 24 and a pixel electrode 4 described later.

[0035] A third interlayer insulation film 18 is next formed at a thickness of 200nm. A contact hole 16b is created, and a pixel electrode 4 is formed.

[0036] In an active matrix substrate according to the present embodiment configured as above, the light-shielding film 15 and the common additional capacitance wiring 8 are arranged in parallel and electrically connected to one another via the contact holes 7c, 9c provided in the first and second interlayer insulation films 14, 17, respectively. By thus connecting the light-shielding film 15 and the common additional capacitance wiring 8 in parallel, circuit configuration having low resistance is achieved, minimizing occurrence of signal delay.

[0037] Moreover, as the light-shielding film 15 and the common additional capacitance wiring 8 are formed in a two-layer structure, it is possible to avoid disconnection that may occur when the wire width of the common additional capacitance wiring 8 is narrowed to increase the aperture ratio.

ACTIVE MATRIX SUBSTRATE

Patent Number: JP5257164
Publication date: 1993-10-08
Inventor(s): MATSUSHIMA YASUHIRO; others: 02
Applicant(s): SHARP CORP
Requested Patent: JP5257164
Application Number: JP19920051817 19920310
Priority Number(s):
IPC Classification: G02F1/136; G02F1/1335
EC Classification:
Equivalents: JP2800956B2

Abstract

PURPOSE:To suppress the generation of a signal delay by adopting the circuitry in which a light shielding film and additive capacity common wiring are connected in parallel.
CONSTITUTION:Metalllic layers 10a to 10c are respectively so formed as to embed contact holes 7a to 7c and are connected to a source electrode, a drain electrode 24 and the additive capacity common wiring 8. The light shielding film 15 is so patterned and formed as to embed the contact hole 9c in addition to the upper part of a thin-film transistor(TFT) 25. The light shielding film 15 constituted in such a manner and the additive capacity common wiring 8 are formed in parallel. The light shielding film 15 and the additive capacity common wiring 8 are electrically connected via the contact holes 7c, 9c respectively provided in first and second interlayer insulating films. Then, the circuitry in which the light shielding film 15 and the additive capacity common wiring 8 are connected in parallel is obtd. and the resistance is lowered, by which the generation of the signal delay is suppressed.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-257164

(43) 公開日 平成5年(1993)10月8日

(51) Int.Cl.⁵
G 0 2 F 1/136
1/1335

識別記号 庁内整理番号
500 9018-2K
7811-2K

F I

技術表示箇所

Page 10 of 10

(21)出願番号 特願平4-51817
(22)出願日 平成4年(1992)3月10日

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 松島 康浩
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72) 発明者 島田 尚幸
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72) 発明者 山下 俊弘
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

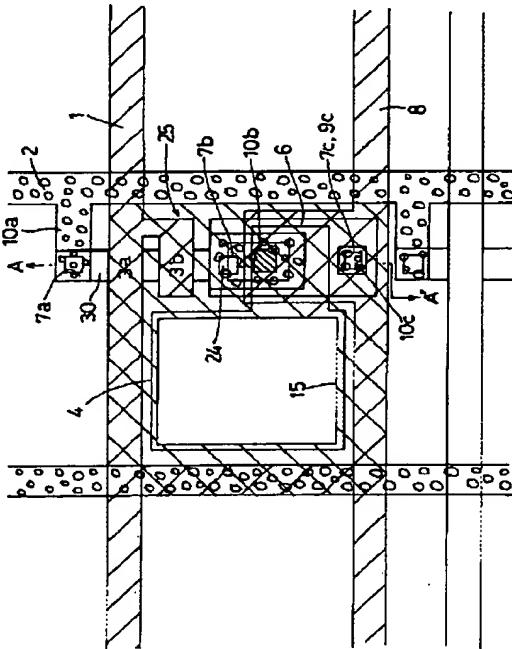
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス基板

(57) 【要約】

【目的】 アクティブマトリクス基板において、映像信号を送る配線の抵抗を小さくして信号遅延を生じにくくする。

【構成】 遮光膜 15 と付加容量共通配線 8 とが平行に形成されており、遮光膜 15 と付加容量共通配線 8 とが層間絶縁膜に設けたコンタクトホール 7c, 9c を介して電気的に接続されているので、遮光膜 15 と付加容量共通配線 8 とが並列接続された回路構成となり、抵抗が小さくなる。



1

【特許請求の範囲】

【請求項1】基板上に絵素電極、遮光膜及び付加容量共通配線がそれぞれの間に層間絶縁膜を介して積層形成された立体構造を有すると共に、絵素電極がマトリクス状に、該絵素電極の一方向に並んだものに沿って該遮光膜が帯状に、かつ該遮光膜に平行に該付加容量共通配線がそれぞれ形成された平面構造を有し、該遮光膜が該付加容量共通配線と、該層間絶縁膜に設けたコンタクトホールを介して電気的に接続されている請求項1記載のアクティブマトリクス基板。

【請求項2】前記遮光膜がW、T1、Mo、T1-W合金からなる請求項1記載のアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばアクティブマトリクス液晶表示装置等に用いられるアクティブマトリクス基板の製造方法に関するものである。

【0002】

【従来の技術】近年、液晶等を表示媒体として用いたアクティブマトリクス表示装置が、活発に研究されている。中でも、液晶を用いたアクティブマトリクス型の表示装置は平面ディスプレイとして研究され、その成果も着実に上がっている。このようなアクティブマトリクス型液晶表示装置は、絵素電極、薄膜トランジスタ(TFT)等が形成されたアクティブマトリクス基板と、対向電極が形成された対向基板と、これらを対向させた間に封入された液晶層とによって構成されている。

【0003】特に、小型かつ高精細に設計されたアクティブマトリクス型液晶表示装置LCDでは、その設計上、絵素の面積が小さくなるので、絵素電極及び対向電極との間で形成されるコンデンサ容量が小さくなる。従って、映像信号を必要な時間保持することができなくなるという問題が生じる。加えて、絵素電極の電位に対するバス配線の電位の変動が大きくなるという問題も生じる。そこで、絵素電極と対向電極との容量不足を補うために付加容量が設けられる。

【0004】図4は、付加容量を備えた従来のアクティブマトリクス基板の絵素1個分の平面図を示し、図5はそのアクティブマトリクス基板のTFT25を通る断面図(図4におけるB-B'に沿った断面図)である。このアクティブマトリクス基板は、絶縁性基板11上に、チャネル層12a、12b、ソース電極23及びドレン電極24を有する多結晶シリコンからなる半導体層30が形成されている。半導体層30のチャネル層12a、12b以外の部分は、イオン注入法によるドーピングを行うことにより電気抵抗が低減されている。

【0005】半導体層30を覆って基板11の上には、ゲート絶縁膜13が形成され、このゲート絶縁膜13上には、n⁺またはp⁺のどちらか一方の多結晶Siからなるゲート電極3a、3bおよび付加容量電極6が形成さ

2

れている。上述のドーピングは、このゲート電極3a、3bをマスクとして行われる。ゲート電極3aは、図1に示すようにゲートバス配線1自身の一部からなり、ゲート電極3bはゲートバス配線1から分岐した部分で構成される。付加容量電極6は、図1に示すように帯状をした付加容量共通配線8の一部であり、付加容量共通配線8と絵素電極4との対向部分で付加容量が形成される。

【0006】更に、ゲート電極3a及び3bを覆って基板11上の全面には、第1層間絶縁膜14が形成されている。第1層間絶縁膜14には、スルーホール7a及び7bが設けられている。スルーホール7aの上には、ソースバス配線2から分岐した金属層10aが形成されている。更に、分岐した金属層10aとは、別に同時に形成された金属層10bが存在する。ソースバス配線2は、スルーホール7aを介してTFT25のソース電極23に接続されている。ここで、TFT25は、ゲート電極3a及び3bを有するデュアルゲートと呼ばれる構造が用いられている。一方のコンタクトホール7bは、TFT25のドレン電極24と金属層10bとの間ににおける電気的接続を確実に行うためにA1などの金属を使用して埋められる。

【0007】その上には、第2層間絶縁膜17、遮光膜15、第3の層間絶縁膜18及び絵素電極4がこの順に形成されている。遮光膜15と前記金属層10bとは、第2層間絶縁膜17に設けたコンタクトホール9bを介して接続される。遮光膜15は、T1-W合金などで形成する。この遮光膜15は、コンタクトホール7bを埋めるA1等の金属と、ITO等からなる絵素電極4との間ににおけるオーミックコンタクトを実現させる役割も担っている。遮光膜15と絵素電極4とは、第3の層間絶縁膜18に形成したコンタクトホール16bを介して接続される。

【0008】

【発明が解決しようとする課題】ところで、この従来基板においては、ゲートバス配線1の1つがオン状態となった後、最初にオン状態となるソースバス配線2では、このゲートバス配線1がオフ状態となるまでの時間が十分に長いので、ソースバス配線2を送られる映像信号が、絵素電極4及び付加容量電極6に余裕をもって書き込まれる。しかし、最後にオン状態となるソースバス配線2では、ゲートバス配線1がオフ状態となるまでの時間が短いため、映像信号の書き込み時間が制約されるという問題がある。

【0009】更に、付加容量共通配線8がn⁺の多結晶Siで形成されているので抵抗が十分に小さいとは言えない。そのため、付加容量共通配線8を送られる信号は遅延し、上述の制約された書き込み時間内に映像信号を書き込むことができなくなり、絵素電極4に書き込まれた電位に変動が引き起こされるという問題もある。この

【特許請求の範囲】

【請求項1】基板上に絵素電極、遮光膜及び付加容量共通配線がそれぞれの間に層間絶縁膜を介して積層形成された立体構造を有すると共に、絵素電極がマトリクス状に、該絵素電極の一方向に並んだものに沿って該遮光膜が帯状に、かつ該遮光膜に平行に該付加容量共通配線がそれぞれ形成された平面構造を有し、該遮光膜が該付加容量共通配線と、該層間絶縁膜に設けたコンタクトホールを介して電気的に接続されている請求項1記載のアクティブマトリクス基板。

【請求項2】前記遮光膜がW、Ti、Mo、Ti-W合金からなる請求項1記載のアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばアクティブマトリクス液晶表示装置等に用いられるアクティブマトリクス基板の製造方法に関するものである。

【0002】

【従来の技術】近年、液晶等を表示媒体として用いたアクティブマトリクス表示装置が、活発に研究されている。中でも、液晶を用いたアクティブマトリクス型の表示装置は平面ディスプレイとして研究され、その成果も着実に上がっている。このようなアクティブマトリクス型液晶表示装置は、絵素電極、薄膜トランジスタ(TFT)等が形成されたアクティブマトリクス基板と、対向電極が形成された対向基板と、これらを対向させた間に封入された液晶層とによって構成されている。

【0003】特に、小型かつ高精細に設計されたアクティブマトリクス型液晶表示装置(LCD)では、その設計上、絵素の面積が小さくなるので、絵素電極及び対向電極との間で形成されるコンデンサ容量が小さくなる。従って、映像信号を必要な時間保持することができなくなるという問題が生じる。加えて、絵素電極の電位に対するバス配線の電位の変動が大きくなるという問題も生じる。そこで、絵素電極と対向電極との容量不足を補うために付加容量が設けられる。

【0004】図4は、付加容量を備えた従来のアクティブマトリクス基板の絵素1個分の平面図を示し、図5はそのアクティブマトリクス基板のTFT25を通る断面図(図4におけるB-B'に沿った断面図)である。このアクティブマトリクス基板は、絶縁性基板11上に、チャネル層12a、12b、ソース電極23及びドレイン電極24を有する多結晶シリコンからなる半導体層30が形成されている。半導体層30のチャネル層12a、12b以外の部分は、イオン注入法によるドーピングを行うことにより電気抵抗が低減されている。

【0005】半導体層30を覆って基板11の上には、ゲート絶縁膜13が形成され、このゲート絶縁膜13上には、n⁺またはp⁺のどちらか一方の多結晶Siからなるゲート電極3a、3bおよび付加容量電極6が形成さ

れている。上述のドーピングは、このゲート電極3a、3bをマスクとして行われる。ゲート電極3aは、図1に示すようにゲートバス配線1自身の一部からなり、ゲート電極3bはゲートバス配線1から分岐した部分で構成される。付加容量電極6は、図1に示すように帯状をした付加容量共通配線8の一部であり、付加容量共通配線8と絵素電極4との対向部分で付加容量が形成される。

【0006】更に、ゲート電極3a及び3bを覆って基板11上の全面には、第1層間絶縁膜14が形成されている。第1層間絶縁膜14には、スルーホール7a及び7bが設けられている。スルーホール7aの上には、ソースバス配線2から分岐した金属層10aが形成されている。更に、分岐した金属層10aとは、別に同時に形成された金属層10bが存在する。ソースバス配線2は、スルーホール7aを介してTFT25のソース電極23に接続されている。ここで、TFT25は、ゲート電極3a及び3bを有するデュアルゲートと呼ばれる構造が用いられている。一方のコンタクトホール7bは、TFT25のドレイン電極24と金属層10bとの間ににおける電気的接続を確実に行うためにA1などの金属を使用して埋められる。

【0007】その上には、第2層間絶縁膜17、遮光膜15、第3の層間絶縁膜18及び絵素電極4がこの順に形成されている。遮光膜15と前記金属層10bとは、第2層間絶縁膜17に設けたコンタクトホール9bを介して接続される。遮光膜15は、Ti-W合金などで形成する。この遮光膜15は、コンタクトホール7bを埋めるA1等の金属と、ITO等からなる絵素電極4との間ににおけるオーミックコンタクトを実現させる役割も担っている。遮光膜15と絵素電極4とは、第3の層間絶縁膜18に形成したコンタクトホール16bを介して接続される。

【0008】

【発明が解決しようとする課題】ところで、この従来基板においては、ゲートバス配線1の1つがオン状態となった後、最初にオン状態となるソースバス配線2では、このゲートバス配線1がオフ状態となるまでの時間が十分に長いので、ソースバス配線2を送られる映像信号が、絵素電極4及び付加容量電極6に余裕をもって書き込まれる。しかし、最後にオン状態となるソースバス配線2では、ゲートバス配線1がオフ状態となるまでの時間が短いため、映像信号の書き込み時間が制約されるという問題がある。

【0009】更に、付加容量共通配線8がn⁺の多結晶Siで形成されているので抵抗が十分に小さいとは言えない。そのため、付加容量共通配線8を送られる信号は遅延し、上述の制約された書き込み時間内に映像信号を書き込むことができなくなり、絵素電極4に書き込まれた電位に変動が引き起こされるという問題もある。この

問題を、図6に基づいて説明する。

【0010】図6は、1つの絵素部分の等価回路図を示す。TFT31のドレイン電極32に接続された絵素電極33と、この絵素電極33に対向し、かつ対向電極配線が接続された対向電極34との間では、液晶層を挟んで容量CLCが形成される。また、TFT31のドレイン電極32は、付加容量CSを介して付加容量共通配線に接続されている。更に、TFT31のゲート電極35及びドレイン電極32との間では容量Cgdが形成されている。

【0011】このとき、TFTのゲートバス配線にゲートオンの信号が送られると、TFTはオン状態となり、*

$$Vd' = Vd - \{ Cgd / (Cgd + CLC + CS) \cdot \Delta Vg \} - a \quad \dots (1)$$

ここで、 ΔVg は、TFTのオン状態の時のゲート電位とオフ状態の時のゲート電位との差である。aは、書き込み時間内に付加容量を十分充電できないために生じる※

$$a = Vd \cdot \exp(-Ton / \tau CS) \cdot \{ CS / (Cgd + CLC + CS) \} \quad \dots (2)$$

上記1式における第2項は、TFTをオフ状態とするためにゲートバス配線の電圧が変動することによる絵素電極の電位の変動を表す。書き込まれた映像信号によって忠実な表示を行わせるためには、1式の第2項及び2式のaの値を小さくしなければならない。1式の第2項の値を小さくするためには、

$$Cgd \ll CLC + CS \quad \dots (3)$$

が成り立つことが必要である。高精細のアクティブマトリクス基板では絵素電極が、小さくCLCが小さいので、3式の条件を満たすにはある程度の大きさの付加容量CSが必要となる。

【0015】このように付加容量CSは或る程度の大きさが必要なので、aの値を小さくするためには、

$$Ton \ll \tau CS \quad \dots (4)$$

が成り立つことが必要である。特に、駆動回路をTFTアレイと同一の基板上に形成した小型かつ高精細のアクティブマトリクス基板では、上記4式の条件を満たすには困難が伴う。その理由を次に示す。

【0016】①ゲートバス配線の本数が多くなり、ゲートバス配線1本当たりに割り当てる時間が短くなる。

【0017】②ドライバICを実装する方式では、全てのソースバス配線に同時に映像信号が送出されるので問題ないが、パネルサンプルホールド方式を採用する場合には、それぞれのソースバス配線に順次映像信号が送出されるので、最後に書き込みが行われるソースバス配線における書き込み時間が短くなる。

【0018】③表示装置の高精細化に伴う開口率の低下を防ぐため、配線の線幅を狭くする必要がある。そのため付加容量共通配線の抵抗が大きくなり、 τCS を小さくすることができない。

【0019】④絵素数が増加しても1絵素あたりの付加容量共通電極の大きさを小さくすることができない。従

*ソースバス配線には映像信号Vdが書き込まれる。ここで、付加容量共通配線の信号伝達の時定数を τCS 、絵素電極への信号書き込み時間TONとすると、 $\tau CS \ll TON$ の条件が満たされない場合には、付加容量CSへの充電が不十分となり、絵素電極の電位が変動するという問題が生じる。

【0012】ところで、TFTがオフ状態となり、 τCS に比べて十分に長い時間が経過した後における実際の表示状態に対応する絵素電極の電位Vd'は、下記の1式で表される。

【0013】

※電位の変動を表し、下記の2式で示される。

【0014】

$$a = Vd \cdot \exp(-Ton / \tau CS) \cdot \{ CS / (Cgd + CLC + CS) \} \quad \dots (2)$$

って、1本の付加容量共通配線に接続される付加容量の総和が大きくなり、 τCS を小さくすることができない。

【0020】このような問題点の解決策として、付加容量共通配線の両端に対向電極と同電位の電圧を印加することが考えるが、それだけでは付加容量共通配線の抵抗が十分に小さくならないために十分な解決策とは言えない。

【0021】本発明はこのような問題点を解決するものであり、映像信号を送る配線の抵抗を小さくして信号遅延を生じにくくできるアクティブマトリクス基板を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、基板上に絵素電極、遮光膜及び付加容量共通配線がそれぞれの間に層間絶縁膜を介して積層形成された立体構造を有すると共に、絵素電極がマトリクス状に、該絵素電極の一方向に並んだものに沿って該遮光膜が帯状に、かつ該遮光膜に平行に該付加容量共通配線がそれぞれ形成された平面構造を有し、該遮光膜が該付加容量共通配線と、該層間絶縁膜に設けたコンタクトホールを介して電気的に接続されており、そのことにより上記目的を達成できる。

【0023】前記遮光膜は、W、Ti、Mo又はTi-W合金で形成してもよい。

【0024】

【作用】本発明にあっては、遮光膜と付加容量共通配線とが平行に形成されており、遮光膜と付加容量共通配線とが層間絶縁膜に設けたコンタクトホールを介して電気的に接続されているので、遮光膜と付加容量共通配線とが並列接続された回路構成となり、抵抗が小さくなる。

【0025】

【実施例】図3にアクティブマトリクス表示装置の平面模式図を示す。

【0026】この表示装置は、ガラス等の絶縁膜基板1上にゲート駆動回路54、ソース駆動回路55及びTFTアレイ部53が形成されている。TFTアレイ部53には、ゲート駆動回路54から延びる多数の平行する走査線としてのゲートバス配線1が配されている。ソース駆動回路55からは信号線としての多数のソースバス配線2がゲートバス配線1に直交して配設されている。更に、ソースバス配線2と平行に、付加容量共通配線8が配設されている。

【0027】2本のゲートバス配線1の間であって、ソースバス配線2及び付加容量共通配線8で挟まれた矩形の領域には、TFT25、絵素57及び付加容量27が設けられている。TFT25のゲート電極はゲートバス配線1に接続され、ソース電極はソースバス配線2に接続されている。絵素57は、TFT25のドレイン電極に接続された絵素電極と対向基板上の対向電極との間に、液晶が封入されて構成されている。また、付加容量共通配線8は、対向電極と同じ電位の電極に接続されている。

【0028】図1は本実施例のアクティブマトリクス基板における絵素1個分の平面図を示す。図2は図1におけるA-A'に沿った断面図である。このアクティブマトリクス基板の構成を、製造工程に従って説明する。

【0029】まず、絶縁性基板11上に、例えばCVD法によって多結晶Siからなる半導体層30をパターン形成した後、基板11上の全面にゲート絶縁膜13となる絶縁膜を形成した。この絶縁膜は、例えばCVD法、スペッタリング法、又は上記多結晶Si薄膜30の上面を熱酸化する方式により形成される。ゲート絶縁膜13の厚さは、例えば約100nmである。また、半導体層30の層厚は、例えば40~80nmである。

【0030】次に、低抵抗の多結晶Siを付着した後にバーニングを行って、ゲートバス配線1、ゲート電極3a、3b及び付加容量共通配線8を形成した。付加容量共通配線8は、図1のように突出形成した部分である付加容量電極6を含んだものである。次いで、上記ゲート電極3a及び3bをマスクとし、かつフォトリソグラフィー法によって形成されたマスクを用いて半導体層30のゲート電極の下方以外の部分にイオン注入を行う。これにより、半導体層30にチャネル層12a、12bが形成される。

【0031】その後、この基板上の全面に第1層間絶縁膜14を、例えば700nmの厚さに形成した。次に、第1層間絶縁膜14の所定箇所にコンタクトホール7a、7b及びコンタクトホール7cを形成した。各コンタクトホール7a、7b、7cは、それぞれソース電極23、ドレイン電極24、付加容量共通配線8の上に配設されている。

【0032】次に、ソースバス配線2及び、金属層10a、10b、10c等をA1等の低抵抗の金属を用いて

同時に形成した。このとき、金属層10a、10b、10cは、それぞれコンタクトホール7a、7b、7cを埋めるように形成され、ソース電極23、ドレイン電極24、付加容量共通配線8と接続される。第1層間絶縁膜14の上に飛び出している金属層10a、10b、10cの層厚は、例えば600nmである。なお、金属層10aはソースバス配線2から分岐させた部分であり、ソースバス配線2は金属層10a及びコンタクトホール7aを介してソース電極23に接続される。

【0033】次に、この基板上の全面に第2層間絶縁膜17を、例えばCVD法によって600nmの厚さに形成した。次に、第2層間絶縁膜17にコンタクトホール9b、9cを形成した。コンタクトホール9bはドレイン電極を接続するためのものであり、コンタクトホール9cは遮光膜15と付加容量共通配線8を電気的に接続するためのものである。

【0034】次に、遮光膜15を、TFT25の上部の他、コンタクトホール9b、9cを埋めるようにバーニング形成した。遮光膜15の材料は、例えばTi-W合金などの金属を使用し、厚みは例えば120~150nmとした。コンタクトホール9bの周りは、遮光膜15が存在しないが、この部分には金属層10bが形成されているので、遮光膜15が無い部分から光が漏れるということはない。なお、遮光膜15は、上述のTi-W合金の他に、W、Ti、Moなどの金属を使用できる。また、コンタクトホール9b上の遮光膜15は、ドレイン電極24と、後述する絵素電極4とのオーミックコンタクトを取るためのものである。

【0035】その後、第3の層間絶縁膜18を200nm形成し、コンタクトホール16bをあけて絵素電極4を形成した。

【0036】したがって、このように構成された本実施例のアクティブマトリクス基板においては、遮光膜15と付加容量共通配線8とが平行に形成されており、遮光膜15と付加容量共通配線8とが第1、第2層間絶縁膜14、17にそれぞれ設けたコンタクトホール7c、9cを介して電気的に接続されているので、遮光膜15と付加容量共通配線8とが並列接続された回路構成となつて抵抗が小さくなり、信号遅延の発生を抑制できる。

【0037】また、付加容量共通配線8と遮光膜15とが2層構造となっているので、開口率を上げるために付加容量共通配線8の線幅を細くしたときに生じる断線を防ぐことができる。

【0038】

【発明の効果】以上詳述したように、本発明のアクティブマトリクス基板は、遮光膜と付加容量共通配線とが並列接続された回路構成となって抵抗が小さくなり、信号遅延の発生を抑制できる。また、付加容量共通配線と遮光膜とが2層構造となっているので、断線を防止した状態で付加容量共通配線の線幅を小さくしなし得、これによ

り開口率の大きい、明るい画面を有する高精細な表示装置を提供することができる。

【図面の簡単な説明】

【図1】本実施例のアクティブマトリクス基板における絵素1個分を示す平面図。

【図2】図1のA-A'に沿った断面図。

【図3】図1のアクティブマトリクス基板を備えたアクティブマトリクス表示装置の平面模式図。

【図4】従来のアクティブマトリクス基板における絵素1個分の平面図。

【図5】図4のB-B'に沿った断面図。

【図6】絵素部分の等価回路図。

【符号の説明】

1 ゲートバス配線
2 ソースバス配線
3 a, 3 b ゲート電極
4 絵素電極

6 付加容量電極

7 a, 7 b, 7 c コンタクトホール

8 付加容量共通電極

9 b, 9 c コンタクトホール

10 a, 10 b, 10 c 金属層

11 絶縁性基板

12 a, 12 b チャネル層

13 ゲート絶縁膜

14 第1層間絶縁膜

15 遮光膜

16 b コンタクトホール

17 第2層間絶縁膜

18 第3層間絶縁膜

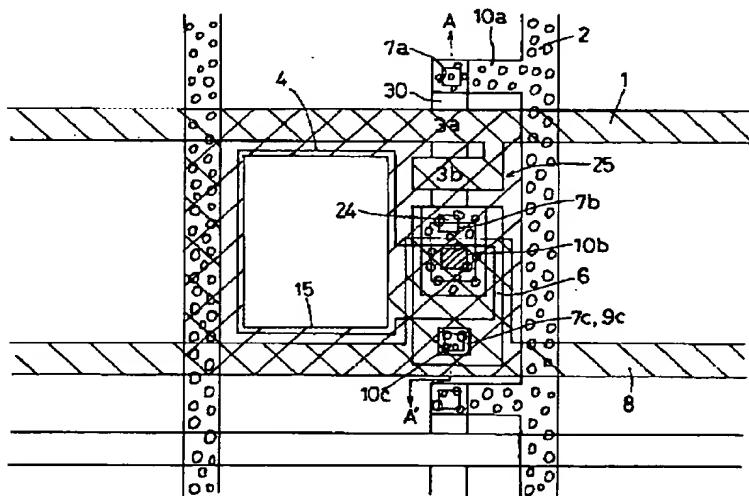
23 ソース電極

24 ドレイン電極

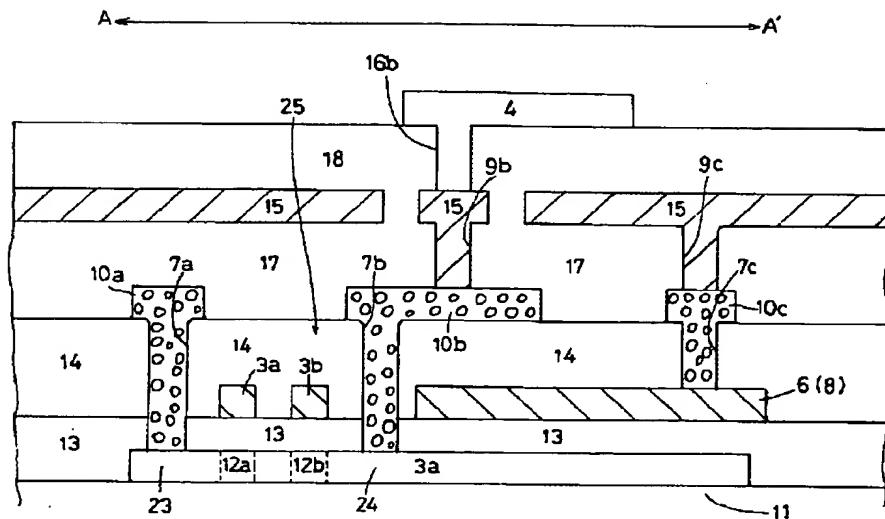
25 TFT

30 半導体層

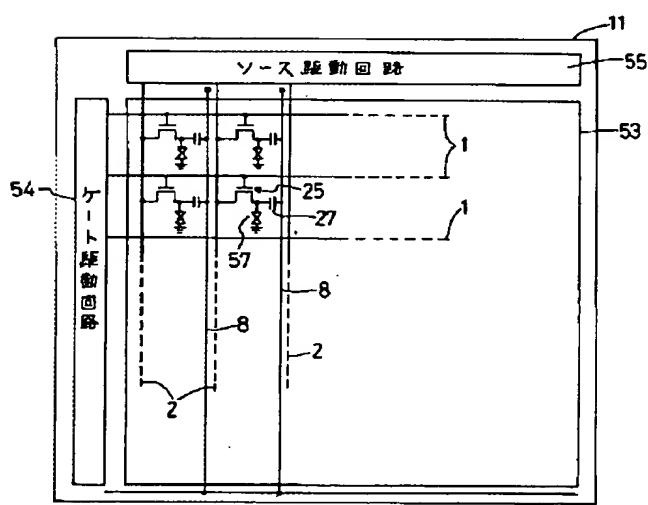
【図1】



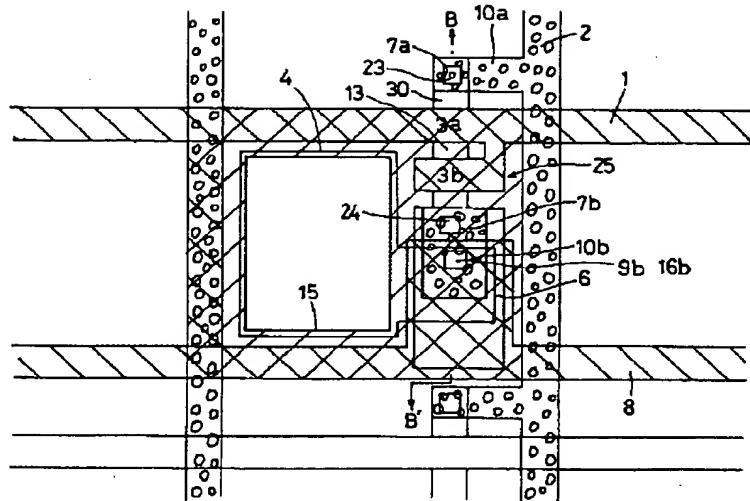
【図2】



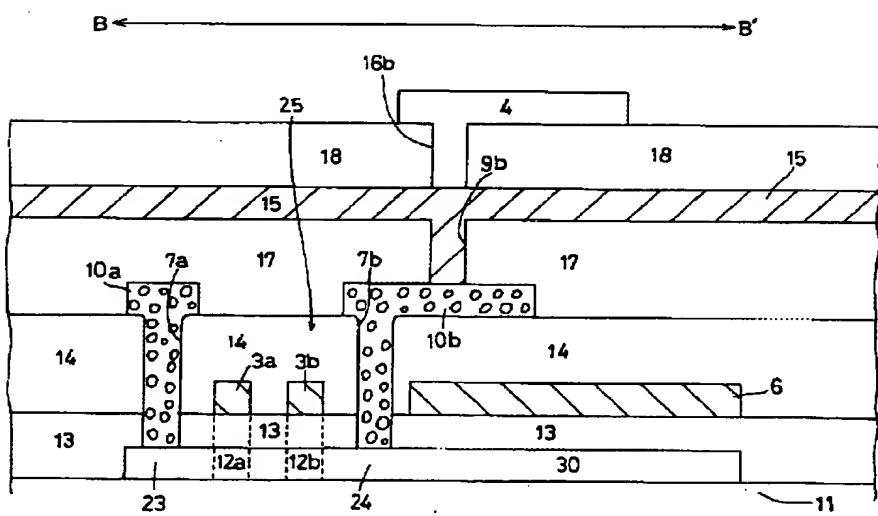
【図3】



【図4】



【図5】



【図6】

